

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-076986

(43)Date of publication of application : 15.03.2002

(51)Int.Cl.

H04B 1/707  
H04Q 7/22

(21)Application number : 2000-260608

(71)Applicant : NEC CORP  
NEC MICROSYSTEMS LTD

(22)Date of filing : 30.08.2000

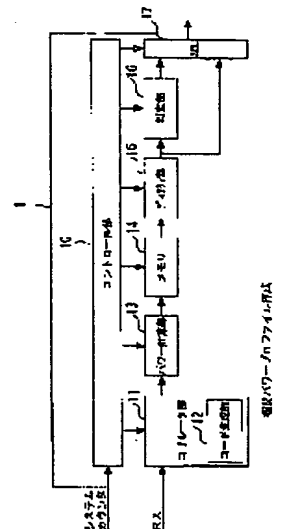
(72)Inventor : TSUNEKI KIYOSHI  
MARUYAMA YUICHI

## (54) CELL SEARCH METHOD AND CIRCUIT IN W-CDMA SYSTEM

## (57)Abstract:

PROBLEM TO BE SOLVED: To provide a cell search method and a circuit capable of making a cell search without using a matched filter.

SOLUTION: This cell circuit is equipped with a code generator 12 which generates a P-search code in a slot timing identification step 1, an S-search code in a frame timing identification step 2, and a P-scrambling code in a scrambling code identification step 3. A correlator 11 carries out inverse spreading processing by the use of the P-search code in step 1, inverse spreading processing by the use of the S-search code in step 2, and inverse spreading processing by the use of the scrambling code in step 3. A power calculator 13 calculates a correlation power. A memory 14 stores the output of the power calculator 13. A detector 15 retrieves the maximum value of the correlation power stored in the memory 14. A judging part 16 judges the average and maximum value of the correlation power stored in the memory 14 by means of threshold coefficients in steps 2 and 3. A control 10 controls the operational timing of the above parts. The circuit is provided with the above six constituent units.



## LEGAL STATUS

[Date of request for examination] 24.07.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3473695

[Date of registration] 19.09.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

This Page Blank (USP 11)

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-76986

(P2002-76986A)

(43)公開日 平成14年3月15日(2002.3.15)

(51)Int.Cl.<sup>7</sup>

識別記号

F I

テーマコード(参考)

H 0 4 B 1/707

H 0 4 J 13/00

D 5 K 0 2 2

H 0 4 Q 7/22

H 0 4 B 7/26

1 0 7

5 K 0 6 7

審査請求 有 請求項の数21 O L (全 11 頁)

(21)出願番号 特願2000-260608(P2000-260608)

(22)出願日 平成12年8月30日(2000.8.30)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(71)出願人 000232036

エヌイーシーマイクロシステム株式会社

神奈川県川崎市中原区小杉町1丁目403番53

(72)発明者 恒木 潔

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 100080816

弁理士 加藤 朝道

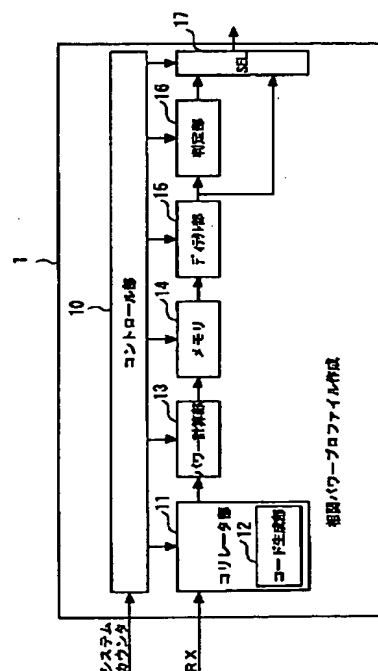
最終頁に続く

(54)【発明の名称】 W-CDMAシステムにおけるセルサーチ方法及び回路

(57)【要約】

【課題】 マッチドフィルタを用いずにセルサーチを行う方法及び回路の提供。

【解決手段】 スロットタイミング同定ステップ1ではP-サーチコード、フレームタイミング同定ステップ2ではS-サーチコード、スクランプリングコード同定ステップ3ではP-スクランプリングコードの生成を行うコード生成部12を備え、ステップ1では、P-サーチコードを利用した逆拡散処理、ステップ2ではS-サーチコードを利用した逆拡散処理、ステップ3ではP-スクランプリングコードを利用した逆拡散処理を行うコリレータ部11と、相関パワーの計算を行うパワー計算部13と、パワー計算部の出力を格納するメモリ14と、メモリに格納された相関パワーの最大値検索を行う検出部15と、ステップ2と3においてスレッシュホールド係数を用いて前記メモリ内の相関パワーの平均値と最大値の判定を行う判定部16と、前記各部の動作タイミングの制御を行う制御部10とを備える。



**【特許請求の範囲】**

**【請求項1】** スロットタイミング同定を行う第1のステップと、

フレームタイミング同定を行う第2のステップと、

スクランブリングコード同定を行う第3ステップとを含む、CDMA移動体通信システムにおけるセルサーチ方法であって、

前記スロットタイミング同定を行う第1のステップでは、コリレータ部が、P-サーチコード (P-Search Code) を用いて逆拡散処理を行い、

前記フレームタイミング同定を行う第2のステップでは、前記コリレータ部が、S-サーチコード (S-Search Code) を用いて逆拡散処理を行い、

スクランブリングコード同定を行う第3のステップでは、前記コリレータ部が、P-スクランブリングコード (P-Scrambling Code) を用いて逆拡散処理を行い、前記各ステップにおける相関値の算出を共通の前記コリレータ部で行うようにしたことを特徴とするセルサーチ方法。

**【請求項2】** スロットタイミング同定を行う第1のステップと、

フレームタイミング同定を行う第2のステップと、

スクランブリングコード同定を行う第3ステップとを含む、CDMA移動体通信システムにおけるセルサーチ方法において、

前記各ステップにおける相関値の算出をコリレータ部で行い、

前記スロットタイミング同定の第1のステップでは、スロットタイミング同定結果を1候補に絞らずに複数候補検出し、その際、一定期間毎に、相関パワーが最大値を示す1候補を検出することで、1スロット区間あたりスロットタイミングを複数候補検出し、

前記フレームタイミング同定の第2のステップでは、前記スロットタイミングの複数候補を基に、すべての候補に対してフレームタイミング同定を行い、前記フレームタイミングの複数候補の中で、最大値を示すものを1つ選択し、

前記スクランブリングコード同定を行う第3ステップでは、前記第2のステップで選択された1候補のタイミングについて、相関パワーを求め、スレッシュホールド判定を行って同定する、ことを特徴とするセルサーチ方法。

**【請求項3】** ベースバンド受信信号を入力とするコリレータ部に、スロットタイミング同定を行う第1のステップではP-サーチコード (P-Search Code) の生成を行い、フレームタイミング同定を行う第2のステップではS-サーチコード (S-SearchCode) の生成を行い、スクランブリングコード同定を行う第3のステップではP-スクランブリングコード (P-Scrambling Code) の生成を行うコード生成部を設け、前記コリレータ部は、前記第1のステップではP-サーチコード (P-Search Cod

e) を利用した逆拡散処理、前記第2のステップではS-サーチコード (S-Search Code) を利用した逆拡散処理、前記第3のステップでは、P-スクランブリングコード (P-Scrambling Code) を利用した逆拡散処理を行い、

前記コリレータ部の相関値出力を受けたパワー計算部はパワー計算を行って相関パワーをメモリに格納し、

前記第1乃至第3のステップにおいて、検出部が、前記メモリに格納された相関パワーの最大値検索を行い、

前記第2のステップと前記第3のステップにおいて、判定部が、予め定められたスレッシュホールド係数を用いて、前記メモリに格納された相関パワーの平均値と最大値の判定を行うセルサーチ方法であって、

前記第1のステップでは、前記検出部が、1シンボル区間につき、最大となる候補を1つ検出し、複数のシンボルについて、複数個のスロットタイミングの候補を検出し、

前記第2のステップでは、前記スロットタイミングの複数候補を基に、すべてのスロットタイミング候補に対して、フレームタイミング同定を行い、前記検出部では、前記フレームタイミングの複数候補の中で最大値を示すものを1つ選択する、ことを特徴とするセルサーチ方法。

**【請求項4】** 前記コリレータ部が、前記第1のステップにおいて、P-サーチコード (P-Search Code) による相関パワーのプロファイルを作成するにあたり、前記コリレータ部内に並設された複数のコリレータは、それぞれ1チップ毎に、逆拡散位置を1チップシフトしながら動作を開始し、1シンボル区間逆拡散を行い結果を出力する処理を、複数シンボル区間よりなる1スロットにわたって連続して行い、

前記複数のコリレータの個数分のチップ期間停止した後、再び次のスロットについて、前のスロットと同様の処理を行い、

前記処理を、予め定められた複数のスロットにわたって行うことにより所定数個のチップ位置での逆拡散を終了し、

前記所定数個のチップ位置すべてのタイミングで、前記コリレータ部での相関値算出および前記パワー計算部でのパワー計算が終了し相関パワーが前記メモリに書き込まれると、前記検出部が、最大値検索を開始し、1シンボル区間につき、最大となる候補を1つ検出し、複数シンボルについて複数個の候補を検出する、ことを特徴とする請求項3記載のセルサーチ方法。

**【請求項5】** 前記第2のステップにおいて、S-サーチコードによる相関値を求める前記コリレータ部において、複数の $(2N)$ のコリレータは、二つの群に分かれて動作し、同じ群のコリレータは同じタイミングで動作し、

第1群のコリレータは、それぞれ、コード番号が1から

順にNまでのすべてのコードで逆拡散を行い、第2群のコリレータは、それぞれ、コード番号が1から順にNまでのすべてのコードで逆拡散を行い、前記第1群のコリレータは奇数シンボルを、前記第2群のコリレータは偶数シンボルを、1シンボル区間逆拡散を行い結果を出力し、この処理を、所定数のスロットにわたって行うことにより逆拡散を終了し、すべてのタイミング候補で前記コリレータ部と前記パワー計算部での相関パワーの計算が終了し相関パワーが前記メモリに書き込まれると、前記検出部が、相関パワーの最大値検索を開始し、最大となる候補を1候補検出し、前記判定部が、前記1つの候補について、前記メモリに書き込まれたパワー値の平均と最大値、及び、スレッシュホールド値を用いて判定を行う、ことを特徴とする請求項3記載のセルサーチ方法。

【請求項6】前記判定部において、前記最大値が、(スレッシュホールド値) × (平均値) を超えている場合、前記第3のステップへ進み、最大値が(スレッシュホールド値) × (平均値) を超えていない場合、前記第1のステップへ戻る、ことを特徴とする請求項5記載のセルサーチ方法。

【請求項7】前記第1のステップのリスタート回数が、あらかじめ定められたパラメータで指定される回数を超えた場合、セルサーチは失敗と判断しセルサーチを終了する、ことを特徴とする請求項6記載のセルサーチ方法。

【請求項8】前記第3のステップでは、前記第2のステップで検出した1候補のタイミングにおいて、P-スクランブリングコード(P-Scrambling Code)による相関パワープロファイルを作成し、前記コリレータ部と前記パワー計算部による相関パワーの計算が終了し、相関パワーが前記メモリに書き込まれると、前記検出部が、最大値検索を開始して、最大となる候補を1候補検出し、前記判定部が、前記候補に対して、前記メモリに書き込まれたパワー値の平均と最大値、スレッシュホールド値を用いて行う判定を行う、ことを特徴とする請求項3記載のセルサーチ方法。

【請求項9】前記最大値が(スレッシュホールド値) × (平均値) を超えている場合、セルサーチを正常終了し、最大値が(スレッシュホールド値) × (平均値) を超えていない場合、前記第3のステップへ戻る制御を行う、ことを特徴とする請求項8記載のセルサーチ方法。

【請求項10】前記第1のステップにおけるスロットタイミング候補を、1シンボルに1つ検出する代わりに、1シンボル区間あたり複数の候補を検出する、ことを特徴とする請求項3又は4記載のセルサーチ方法。

【請求項11】前記第1のステップにおけるスロットタイミング候補を、1シンボルに1つ検出する代わりに、複数のシンボルにつき1候補を検出する、ことを特徴と

する請求項3又は4記載のセルサーチ方法。

【請求項12】スロットタイミング同定を行う第1のステップでは、P-サーチコード(P-Search Code)の生成を行い、フレームタイミング同定を行う第2のステップではS-サーチコード(S-Search Code)の生成を行い、スクランブリングコード同定を行う第3のステップでは、P-スクランブリングコード(P-Scrambling Code)の生成を行うコード生成部と、並設された複数のコリレータと、を備え、前記第1のステップでは、P-サーチコード(P-Search Code)を利用した逆拡散処理、前記第2のステップでは、S-サーチコード(S-Search Code)を利用した逆拡散処理、前記第3のステップでは、P-スクランブリングコード(P-Scrambling Code)を利用した逆拡散処理を行うコリレータ部と、前記コリレータ部の出力から相関パワーを計算して出力するパワー計算部と、前記パワー計算部の出力を格納するメモリと、

前記各ステップにおいて、前記メモリに格納された相関パワーの最大値検索を行う検出部と、

前記第2のステップと前記第3のステップにおいて、予め定められたスレッシュホールド係数を用いて、前記メモリに格納されている相関パワーの平均値と最大値の判定を行う判定部と、

前記各部の動作タイミングの制御を行う制御部と、を少なくとも備えていることを特徴とするセルサーチ回路。

【請求項13】前記コリレータ部が、前記第1のステップにおいて、P-サーチコード(P-Search Code)による相関パワーのプロファイルを作成するにあたり、前記コリレータ部の並設された複数のコリレータは、それぞれ1チップ毎に、逆拡散位置を1チップシフトしながら動作を開始し、1シンボル区間逆拡散を行い結果を出力する動作を、複数シンボル区間よりなる1スロットにわたって連続して行うとともに、つづいて前記複数のコリレータの個数分のチップ期間停止した後、再び次のスロットについて、前のスロットと同様の処理を行い、前記処理を予め定められた複数のスロットにわたって行うことで、所定数個のチップ位置での逆拡散を終了し、所定数個のチップ位置すべてのタイミングで、前記コリレータ部での相関値算出および前記パワー計算部でのパワー計算が終了し、相関パワーが前記メモリに書き込まれると、前記検出部が、最大値検索を開始し、1シンボル区間につき、最大となる候補を、1つ検出し、複数シンボルにつき複数の候補を検出する、ことを特徴とする請求項12記載のセルサーチ回路。

【請求項14】前記第2のステップにおいて、前記第1のステップで検出された複数の候補のタイミングすべてにおいて、S-サーチコードでの相関パワープロファイルの作成を行うにあたり、前記コリレータ部の複数の(2N個)のコリレータは、二つの群に分かれて動作し、同じ群のコリレータは同じタイミングで動作し、

第1群のコリレータは、それぞれ、コード番号が1から順にNまでのすべてのコードで逆拡散を行い、第2群のコリレータは、それぞれ、コード番号が1から順にNまでのすべてのコードで逆拡散を行い、前記第1群のコリレータは、奇数シンボルを、前記第2群のコリレータは偶数シンボルを1シンボル区間逆拡散を行い結果を出力し、この処理を、所定個数のスロットにわたって行うことで逆拡散を終了し、

すべてのタイミングで前記コリレータ部の相関値算出および前記パワー計算部でのパワー計算が終了し、相関パワーが前記メモリに書き込まれると、前記検出部が、最大値検索を開始し、最大となる候補を1候補検出し、前記判定部が、前記候補について、前記メモリに書き込まれたパワー値の平均と最大値、スレッシュホールド値を用いて判定を行う、ことを特徴とする請求項12記載のセルサーチ回路。

【請求項15】前記判定部における判定の結果、最大値が（スレッシュホールド値）×（平均値）を超えている場合、第3のステップの処理に移行し、一方、最大値が（スレッシュホールド値）×（平均値）を超えていない場合、前記第1のステップからの処理を実行するように制御する手段を備えたことを特徴とする請求項14記載のセルサーチ回路。

【請求項16】前記第1のステップのリスタート回数があらかじめ定められたパラメータで指定された回数を超えた場合、セルサーチは失敗と判断してセルサーチを終了するように制御する手段を備えたことを特徴とする請求項14又は15記載のセルサーチ回路。

【請求項17】前記第3のステップでは、前記コリレータ部は、前記第2のステップで検出した1候補のタイミングにおいて、P-スクランプリングコード（P-Scrambling Code）での相関パワープロファイルを作成し、前記コリレータ部の相関値算出および前記パワー計算部でのパワー計算が終了し、相関パワーが前記メモリに書き込まれると、前記検出部が、最大値検索を開始し、最大となる候補を1候補検出し、前記判定部が、前記候補に対して、前記メモリに書き込まれたパワー値の平均と最大値、スレッシュホールド値を用いて行う判定を行う、ことを特徴とする請求項12記載のセルサーチ回路。

【請求項18】前記判定部における判定の結果、前記最大値が（スレッシュホールド値）×（平均値）を超えている場合、セルサーチを正常終了し、一方、最大値が（スレッシュホールド値）×（平均値）を超えていない場合、前記第3のステップへ戻る制御を行う手段を備えた、ことを特徴とする請求項17記載のセルサーチ回路。

【請求項19】前記検出部において、前記第1のステップにおけるスロットタイミング候補を、シンボル区間あたり複数候補検出する構成とされている、ことを特徴とする請求項12又は13記載のセルサーチ回路。

【請求項20】前記検出部において、前記第1のステップにおけるスロットタイミング候補を、複数シンボルにつき1候補検出し、1スロット間で複数候補を検出する構成とされている、ことを特徴とする請求項12又は13記載のセルサーチ回路。

【請求項21】請求項12乃至20のいずれかに記載のセルサーチ回路を備えたことを特徴とする移動体端末。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、移動体無線通信システムにおけるセルサーチ方法及び装置に関し、特に、W-CDMA（Wide CDMA）システムにおけるセルサーチ方法及び回路に関する。

【0002】

【従来の技術】移動体端末を用いたCDMA（Code Division Multiple Access；符号分割多元接続）セルラ方式の無線通信システムにおいては、移動体端末の電源オン時の初期同期確立作業や移動にともなうセル切り替え時などのセルサーチを行う必要がある。

【0003】図7は、従来の移動体端末のセルサーチ回路2の構成の一例を示す図である。図7を参照すると、ベースバンド受信信号（RX）を入力とするマッチドフィルタ23は、ステップ1（スロットタイミング同定）のみの逆拡散処理を実行する。なお、SS（スプレッドスペクトラム）拡散通信方式において、初期接続等を高速に行うマッチドフィルタは、複数段のレジスタと、各段のレジスタの出力と係数を乗算する複数の乗算器と、複数の乗算器の出力を加算して出力する加算器よりなり、例えば1シンボル256チップの場合、256段のマッチドフィルタについて、I成分（同相成分）とQ成分（直交成分）で、512個の加算器と、512ワードのレジスタから構成される。

【0004】ステップ2（フレームタイミング同定）、ステップ3（スクランプリングコード同定）の逆拡散は、コリレータ部（相関部）21で行う。コリレータ部21は、ステップ2、ステップ3で、共通に使用される。すなわち、コリレータ部21のコード生成部22は、ステップ2ではフレームタイミング同定用のコード、ステップ3ではスクランプリングコード同定用のコードを生成し、コリレータ部21のコリレータは、コード生成部22で生成されるコードと、ベースバンド受信信号との相関をとる。

【0005】セレクト24は、コリレータ部21とマッチドフィルタ23の出力を選択出力する。

【0006】パワー計算部25は、セレクト24の出力を入力し、I成分（同相成分）とQ成分（直交成分）の2乗値を求めパワー（電力値）の計算を行う。

【0007】1シンボルが256チップ、1スロットが10シンボルよりなるとして、メモリ26は、メモリ容

量が2560ワードのRAM（ランダムアクセスメモリ）よりなり、ステップ1、ステップ2、ステップ3の処理でシェアして使用される。

【0008】ディテクト (Detect) 部27は、マッチドフィルタ23、コリレータ部21よりメモリ26に書き込まれた相関値の最大値検索を行う。

【0009】判定部28では、スレッシュールド係数を用いて、メモリ26内の平均値と最大値の判定を行う。

【0010】コントロール部20は、システムカウンタ (System Counter) 信号を入力し、各部の動作タイミングの制御を行う。

【0011】かかる構成において、ステップ1のマッチドフィルタ23は、毎チップ1つの相関値を出力し、2560チップ（1スロット）で計算を終了する。

【0012】なお、マッチドフィルタ、相関器を備えたセルサーチ回路の構成として、例えば特開平11-88295号公報、および特開平11-200447号公報等の記載が参照される。

【0013】

【発明が解決しようとする課題】従来のセルサーチ方法では、ステップ1～3の各ステップにおいて確定候補を1つに絞って、次のステップへ進む構成とされている。すなわち、ステップ1では、候補を1つしか出力しない。このため、高速に逆拡散を行い、さらに、数スロット間、累積加算を行うことにより、ステップ1の候補の信頼性を高める必要があった。この理由で、図7に示したように、従来のセルサーチ回路には、マッチドフィルタ23が必要とされている。

【0014】しかしながら、マッチドフィルタを用いた従来のセルサーチ回路においては、ステップ1でしかマッチドフィルタを使用していず、結果的に、回路規模が増大し、また消費電流の増加ともなっている、という問題点を有している。

【0015】したがって本発明は、上記問題点に鑑みてなされたものであって、その目的は、マッチドフィルタを要しないセルサーチを実現することで、回路規模を縮減し、消費電流の低減を図る方法及び回路を提供することにある。

【0016】

【課題を解決するための手段】前記目的を達成する本発明は、スロットタイミング同定を行う第1のステップと、フレームタイミング同定を行う第2のステップと、スクランプリングコード同定を行う第3ステップと、を含むCDMA移動体通信システムにおけるセルサーチ方法において、前記各ステップにおける相関値の算出をコリレータ部で行い、前記スロットタイミング同定の第1のステップでは、スロットタイミング同定結果を1候補に絞らずに複数候補検出し、その際、一定期間毎に、相関パワーが最大値を示す1候補を検出することで、1スロット区間あたりスロットタイミングを複数候補検出

し、前記フレームタイミング同定の第2のステップでは、前記スロットタイミングの複数候補を基に、すべての候補に対してフレームタイミング同定を行い、前記フレームタイミングの複数候補の中で最大値を示すものを1つ選択し、前記スクランプリングコード同定を行う第3ステップでは、前記第2のステップで選択された1候補のタイミングについて相関パワーを求め、スレッシュールド判定を行って同定する、ものである。

【0017】

【発明の実施の形態】本発明の実施の形態について説明する。本発明は、ITU (International Telecommunication Union) の提唱するW-CDMA (IMT-2000) FDD (Frequency Division Duplexing) モードにおけるセルサーチの、ステップ1（スロットタイミング同定）、ステップ2（フレームタイミング同定）、ステップ3（スクランプリングコード同定）において、以下の特徴を有する。

【0018】（1）ステップ1（スロットタイミング同定）とステップ2（フレームタイミング同定）を1つの検出サイクルとする。

【0019】（2）ステップ1におけるスロットタイミング同定結果を、1候補に絞らずに複数候補検出する。

【0020】（3）ステップ1におけるスロットタイミングの複数の候補から、一定期間毎に最大値を示す1候補を検出する。

【0021】（4）ステップ2のフレームタイミング同定では、ステップ1の複数候補の結果を基に、すべての候補に対して、フレームタイミング同定を行う。

【0022】（5）ステップ2のフレームタイミングの複数候補の中で、最大値を示すものを1つ選択する。

【0023】（6）ステップ2のフレームタイミングの1候補に対してスレッシュールド判定を行い同定する。

【0024】（7）ただし、上記（6）のスレッシュールド判定において、スレッシュールド判定条件をクリアできない場合、ステップ1から、やり直す。

【0025】上記（1）～（7）の特徴を有するセルサーチアルゴリズムを用いることにより、本発明では、従来のセルサーチ方法で用いられていた、ステップ1のみで使用されるマッチドフィルタを削除し、ステップ2、ステップ3で使用されるコリレータをシェアすることで、ステップ1を実現しており、このため、回路規模、および消費電流の削減することができる。

【0026】本発明に係る回路は、その好ましい実施の形態において、スロットタイミング同定を行う第1のステップでは、P-サーチコード (P-Search Code) の生成を行い、フレームタイミング同定を行う第2のステップではS-サーチコード (S-Search Code) の生成を行い、スクランプリングコード同定を行う第3のステップでは、P-スクランプリングコード (P-Scrambling Code) の生成を行うコード生成部 (12) と、並設され

た複数個のコリレータと、を備え、前記第1のステップでは、P-サーチコード (P-Search Code) を利用した逆拡散処理、前記第2のステップでは、S-サーチコード (S-Search Code) を利用した逆拡散処理、前記第3のステップでは、P-スクランブリングコード (P-Scrambling Code) を利用した逆拡散処理を行うコリレータ部 (11) と、コリレータ部 (11) の出力から関連パワーを計算して出力するパワー計算部 (13) と、前記パワー計算部の出力を格納するメモリ (14) と、前記各ステップにおいて、前記メモリに格納された関連パワーの最大値検索を行う検出 (ディテクト) 部 (15) と、前記第2のステップと前記第3のステップにおいて、予め定められたスレッシュホールド係数を用いて、前記メモリに格納されている関連パワーの平均値と最大値の判定を行う判定部 (16) と、前記各部の動作タイミングの制御を行う制御部 (10) と、を少なくとも備えている。

【0027】

【実施例】 上記した本発明の実施の形態についてさらに詳細に説明すべく、本発明の実施例について図面を参照して以下に説明する。図1は、本発明の一実施例としてのセルサーチ回路1の構成を示す図である。図1を参照すると、本発明の一実施例においては、図7のマルチドフィルタは設けられておらず、ベースバンド受信信号 (RX) を入力とするコリレータ部が、ステップ1 (スロットタイミング同定)、ステップ2 (フレームタイミング同定)、ステップ3 (スクランブリングコード同定) を行う構成とされている。

【0028】 コリレータ部11のコード生成部12は、ステップ1の場合、P-サーチコード (P-Search Code) の生成、ステップ2の場合、S-サーチコード (S-Search Code) の生成、ステップ3の場合、P-スクランブリングコード (P-Scrambling Code) の生成をそれぞれ行う。なお、P-サーチコード (P-Search Code; 第1サーチコード)、S-サーチコード (S-Search Code; 第2サーチコード)、P-スクランブリングコード (P-Scrambling Code) は、3GPP (3rd Generation Partnership Project) が規定したコードであり、3GPPの仕様書 (3G TS 25.213 第5.22, 5.23章) が参照される。

【0029】 コリレータ11部は、32個のコリレータ (相関器) を備え、ステップ1では、コード生成部12より生成されるP-サーチコード (P-Search Code) を利用した逆拡散処理、ステップ2では、コード生成部12より生成されるS-サーチコード (S-Search Code) を利用した逆拡散処理、ステップ3では、コード生成部12より生成されるP-スクランブリングコード (P-Scrambling Code) を利用した逆拡散処理を行う。このように、コリレータ部11は、ステップ1、ステップ2、ステップ3の各ステップでシェアして用いられる。

【0030】 パワー計算部13は、コリレータ部11の

出力を入力し、I成分とQ成分の2乗値の計算を行う。

【0031】 メモリ14は、1シンボルが256チップ、1スロットが10シンボルの場合、メモリ容量が2560ワードのRAM (ランダムアクセスメモリ) よりなり、ステップ1、ステップ2、ステップ3でシェアして使用する。

【0032】 ディテクト (検出) 部15では、コリレータ部11よりメモリ14に書きこまれた相関値を基に、最大値検索を行う。

【0033】 判定部16では、スレッシュホールド係数を用いてメモリ内の平均値と最大値の判定を行う。ただしステップ1では、セクタ17を介して、判定部16の処理は、パスされる。

【0034】 コントロール部10は、システムカウンタ (System Counter) 信号を入力し、各ブロックの動作タイミング制御を行う。

【0035】 本発明の一実施例の動作について詳細に説明する。以下では、ステップ1でのスロットタイミング候補を1シンボル毎に1候補、計10候補検出する場合について説明する。

【0036】 図2は、本発明の一実施例におけるセルサーチの動作を説明するためのフローチャートである。

【0037】 セルサーチは、図2に示す通り、ステップ (STEP) 1～ステップ (STEP) 3の3つのステップで行われる。

【0038】 セルサーチが動作を開始すると、直ちに、P-サーチコード (P-Search Code) を用いて関連パワープロファイルの作成を開始する (ステップ1-1)。

【0039】 図3は、この関連パワープロファイルを作成するためのコリレータ部11の動作タイミングを示した図である。

【0040】 (1) コリレータ部11内の並設された32個のコリレータ1～32は、それぞれ、1チップ毎に、逆拡散位置を1チップシフトしながら、動作を開始し、1シンボル (256チップ) 区間逆拡散を行い、結果を出力する。

【0041】 (2) 上記 (1) の処理を、1スロット (10シンボル) にわたって連続して行う。

【0042】 (3) つづいて32チップ期間停止した後、再び、上記 (1) から同様の動作を行う。

【0043】 (4) 上記 (1) ～ (3) の処理を、8スロットにわたって行うことにより、2560チップ位置での逆拡散を終了する。

【0044】 コリレータ11の出力 (相関値) は、パワー計算部13で、I成分とQ成分の2乗値を加算した相関パワーの計算が行われ、メモリ14に書きこまれる。

【0045】 1スロット区間 (2560チップ位置) すべてのタイミングで、コリレータ11の動作およびパワー計算部13でのパワー計算が終了し、相関パワーがメモリ14に書きこまれると、ディテクト部15が最大値

1-4

1-8b

1-



検索を開始する（ステップ1-2）。

【0046】図4は、本発明の一実施例における最大値の検索方法を示す図である。検索方法は、1シンボル（256チップ）区間につき、最大となる候補を1候補を検出し、10シンボルのそれぞれについて計10候補検出する。以上で、ステップ1の処理は終了する。

【0047】次のステップ2では、ステップ1で検出された10候補のタイミングすべてにおいて、コリレータ部11でS-サーチコード（S-Search Code）を用いた相関パワープロファイルの作成を開始する。

【0048】図5は、本発明の一実施例において、ステップ2において、相関パワープロファイルを作成するためのコリレータ部11の動作タイミングを示す図である。

【0049】図5に示すように、コリレータ部11内の32個の各コリレータは、コリレータ1～16とコリレータ17～32の2つの群に分かれて動作する。同じ群のコリレータは同じタイミングで動作する。

【0050】第1群のコリレータ1～16のコード番号は、コリレータ1がコード番号1、コリレータ2がコード番号2、…というように、順に、コード番号16までのすべてのコードで行う。

【0051】また第2群のコリレータ17～32のコード番号は、コリレータ17がコード番号1、コリレータ18がコード番号2、…というように、順に、コード番号16までのすべてのコードで行う。

【0052】第1群のコリレータ1～16は奇数シンボルを、第2群のコリレータ17～32は偶数シンボルを、それぞれ、1シンボル（256チップ）区間、逆拡散を行い結果を出力する。この処理を、15スロット間行うことにより、逆拡散を終了する。

【0053】コリレータ11の出力は、パワー計算部13でパワー計算され、メモリ14に書き込まれる。

【0054】すべてのタイミングで、コリレータ11の動作およびパワー計算部13でのパワー計算が終了し、メモリ14に書き込まれると、ディテクト部15が、最大値検索を開始し、最大となる候補を1候補検出する（ステップ2-2）。

【0055】この候補に対して、判定部16が、判定処理を行う（ステップ2-3）。

【0056】判定部16の判定方法は、メモリ14に書き込まれたパワー値の平均と最大値、及び、予め定められたスレッシュホールド値を用いて行う。

【0057】最大値が、（スレッシュホールド値）×（平均値）を超えている場合には、ステップ3へ進む。

【0058】最大値が、（スレッシュホールド値）×（平均値）を超えていない場合には、ステップ1へ戻る。

【0059】ただし、ステップ1の繰り返し回数を管理するリスタート回数（Rst\_count1）が、パラメータ（rst1\_param）で指定された回数（予め定められた設定値）を超

えた場合、セルサーチは、失敗と判断して終了する。

【0060】すなわち、ステップ2-3の判定で、最大値が（スレッシュホールド値）×（平均値）を超えていない場合（NG）の場合、ステップ4-1で、リスタート回数（Rst\_count1）を1つインクリメントし、ステップ4-2で、リスタート回数（Rst\_count1）がパラメータ（rst1\_param）より小であるか判定し、リスタート回数（Rst\_count1）がパラメータ（rst1\_param）以上の場合、セルサーチは失敗とし（ステップ4-3）、リスタート回数（Rst\_count1）がパラメータ（rst1\_param）未満の場合、ステップ1-1から処理を行う。

【0061】ステップ3は、ステップ2が検出した1候補のタイミングにおいて、コリレータ部11においてP-スクランブリングコード（P-Scrambling Code）を用いた相関パワープロファイルの作成を開始する。

【0062】コリレータ部11の出力（相関値）は、パワー計算部13でパワー計算され、メモリ14に書き込まれる。

【0063】すべてのタイミングでコリレータ部11の動作およびパワー計算部13でのパワー計算が終了し、メモリ14に書き込まれると、ディテクト部15が最大値検索を開始し、最大となる候補を1候補検出する（ステップ3-2）。

【0064】この候補に対して、判定部16が、判定処理を行う（ステップ3-3）。その判定方法は、メモリに書き込まれたパワー値の平均と最大値、スレッシュホールド値を用いて行う。

【0065】最大値が、（スレッシュホールド値）×（平均値）を超えている場合、セルサーチは、正常終了する（ステップ5-3）。

【0066】最大値が（スレッシュホールド値）×（平均値）を超えていない場合、ステップ3へ戻る。

【0067】ただし、ステップ3の繰り返し回数を管理するリスタート回数（Rst\_count2）がパラメータ（rst2\_param）で指定された回数と等しいか超えた場合、ステップ1へ戻る。すなわち、ステップ3-3でNGの場合、ステップ5-1でリスタート回数（Rst\_count2）を1つインクリメントし、リスタート回数（Rst\_count2）がパラメータ（rst2\_param）以上の場合、ステップ4-1に分岐し、リスタート回数（Rst\_count2）がパラメータ（rst2\_param）未満の場合、ステップ3-1から処理を行う。ステップ4-1では、ステップ1の繰り返し回数を管理するリスタート回数（Rst\_count1）を1つインクリメントし、ステップ4-2では、リスタート回数（Rst\_count1）がパラメータ（rst1\_param）で指定された回数以上の場合、セルサーチは失敗とする。

【0068】次に、本発明の第二の実施例について説明する。本発明の第二の実施例の基本的構成は上記の通りであるが、ステップ1のスロットタイミング候補数についてさらに工夫を施している。

【0069】本発明の第二の実施例では、ステップ1におけるスロットタイミング候補を、1シンボル毎に、2候補、計20候補検出する。本発明の第二の実施例において、コリメータ部は、前記第一の実施例のコリメータ部11のコリメータの数の2倍の数のコリメータを備えている。

【0070】図6は、本発明の第二の実施例において、ステップ1におけるコリレータの動作タイミングを示す図である。

【0071】(1) コリメータ部11の各コリレータ1～64は、1チップ毎に、逆拡散位置を1チップシフトしながら動作を開始し、1シンボル(256チップ)区間逆拡散を行い、結果を出力する。

【0072】(2) 上記(1)の処理を1スロット(10シンボル)間連続で行う。

【0073】(3) 64チップ停止した後、再び同様の動作を行う。

【0074】(4) 上記(1)～(3)の処理を4スロット間、行うことにより2560チップ位置での逆拡散を終了する。すなわちスロットタイミング候補数が10候補のときに比べて半分のスロットで、コリレータの動作は終了する。

【0075】本発明の第二の実施例は、前記第一の実施例と比べて、若干回路規模は増加するが、ステップ2～3の判定で、O.K.となる確率は上がる。

【0076】次に、本発明の第三の実施例について説明する。本発明の第三の実施例の基本的構成は上記の通りであるが、ステップ1でのスロットタイミング候補を、2シンボル毎に1候補、計5候補検出する。

【0077】コリレータ部11におけるコリレータ数を16個とすることができる。この場合のディテクト(Detect)部15の動作は、最大値を示したシンボルが偶数シンボルの場合、スロットタイミング候補はすべて偶数シンボルから、奇数シンボルの場合、スロットタイミング候補はすべて奇数シンボルから選ぶ。

【0078】本発明の第三の実施例は、前記第一の実施例と比べて、ステップ2～3での判定で、O.K.となる確率は、若干下がるが、回路規模は減少する。

【0079】

【発明の効果】以上説明したように、本発明によれば、下記記載の効果を奏する。

【0080】本発明の第1の効果は、回路規模を縮減す

ることができる、ということである。

【0081】その理由は、本発明においては、従来、ステップ2(フレームタイミング同定)、ステップ3(スクランプリングコード同定)で使用するコリレータを、ステップ1(スロットタイミング同定)、ステップ2(フレームタイミング同定)、ステップ3(スクランプリングコード同定)の各ステップでシェアすることでセルサーチを実現している、ためである。256段のマッチドフィルタについてみると、本発明は、このマッチドフィルタを削除したことで、I/Q成分で512個の加算器、512ワードのレジスタを削減することができ、回路規模的には、約15Kゲートの削減が可能である。

【0082】本発明の第2の効果は、回路規模の大幅な縮減により、消費電流を低減することができる、ということである。

【図面の簡単な説明】

【図1】本発明の一実施例のセルサーチ回路の構成を示す図である。

【図2】本発明の一実施例のセルサーチ動作を説明する流れ図である。

【図3】本発明の一実施例において、P-サーチコードによる相関パワープロファイルを作成するためのコリレータ部の動作タイミングを示した図である。

【図4】本発明の一実施例におけるディテクト部の最大値の検索方法を示す図である。

【図5】本発明の一実施例において、S-サーチコードによる相関パワープロファイルを作成するためのコリレータ部の動作タイミングを示した図である。

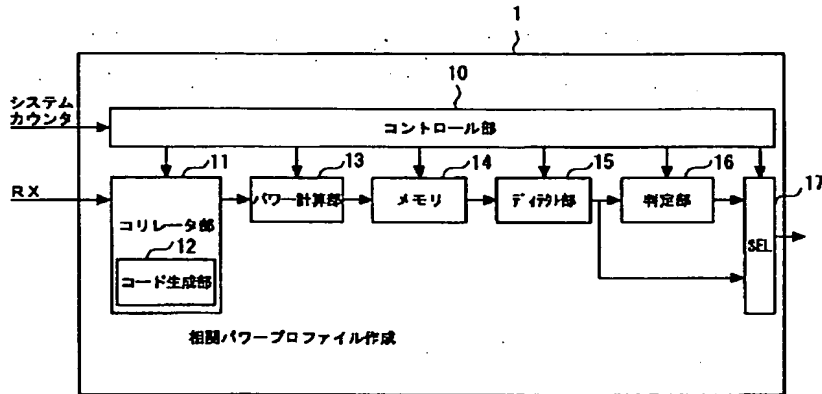
【図6】本発明の第二の実施例において、ステップ1におけるコリレータ部の動作タイミングを示す図である。

【図7】従来のセルサーチ回路の構成を示す図である。

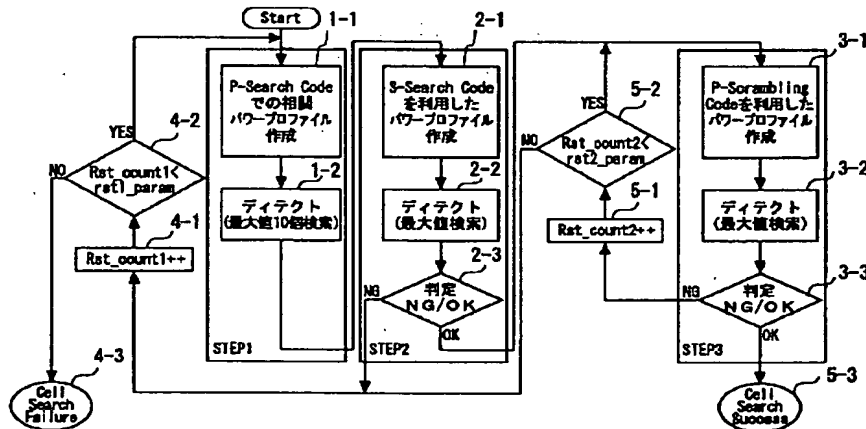
【符号の説明】

- 1、2 セルサーチ回路
- 10、20 コントロール部
- 11、21 コリレータ部
- 12、22 コード生成部
- 13、25 パワー計算部
- 14、26 メモリ
- 15、27 ディテクト部
- 16、28 判定部
- 17、24 セレクタ
- 23 マッチドフィルタ

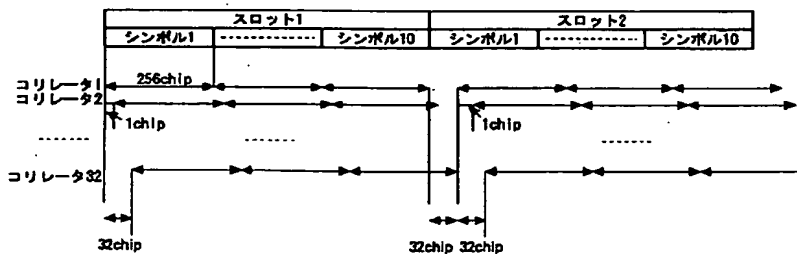
【図1】



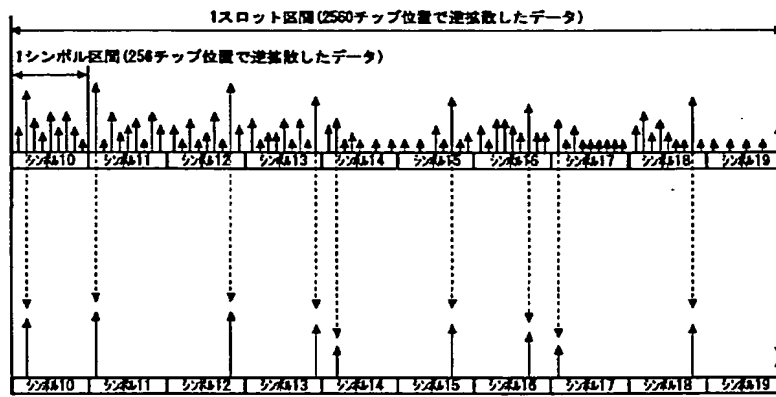
【図2】



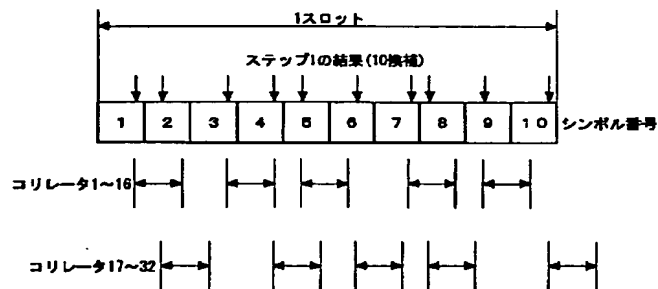
【図3】



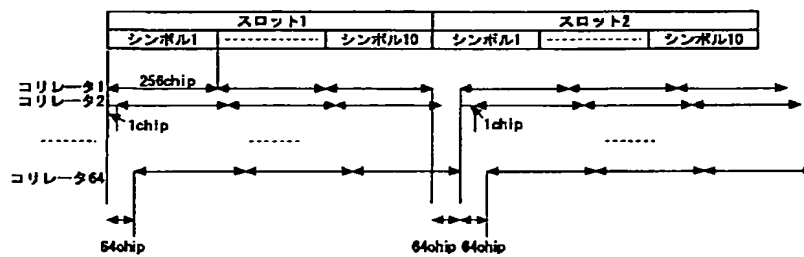
【図4】



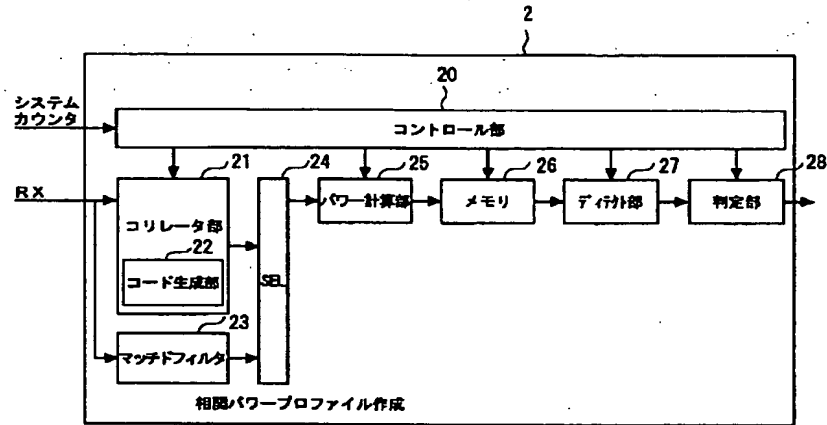
【図5】



【図6】



【図7】



フロントページの続き

(72)発明者 丸山 勇一  
 神奈川県川崎市中原区小杉町一丁目403番  
 53 日本電気アイシーマイコンシステム株  
 式会社内

Fターム(参考) 5K022 EE01 EE14 EE36  
 5K067 AA42 BB02 CC10 DD25 EE02  
 EE10 EE53 HH22 HH23 JJ32

This Page blank (use for)